

Partial Translation of Japanese Patent Application
Laid-open No. Hei 3-53582

Next, a semiconductor laser shown in Fig. 3 is obtained in the following manner. First, a Zn-doped p-type InP layer 23 (where $p = 1 \times 10^{18} \text{ cm}^{-3}$) having a thickness of 1 μm , an InGaAsP active layer 19 having a bandgap at an emission wavelength of 1.55 μm and having a thickness of 0.15 μm , and a Si-doped n-type InP layer 24 (where $n = 1 \times 10^{18} \text{ cm}^{-3}$) having a thickness of 0.1 μm are individually epitaxially grown on an exposed (100) plane of a Zn-doped p-type InP substrate 21 by the MOVPE in a sequential manner.

Next, SiO_2 stripe-shaped masks having a thickness of approximately 2,000 Å and a width of 2 μm are formed in the (011) direction at 300- μm intervals by techniques of CVD and photolithography. Thereafter, the n-type InP layer 24 having a thickness of 0.1 μm , the InGaAsP active layer 19, and the p-type InP layer 23 are etched by chemical etching so that the height of the mesa stripe is reduced to 1.5 μm .

Further, a Ti-doped high-resistance InP layer 15 having a thickness of 1.5 μm , a Zn-doped p-type InP layer 14 (where $p = 7 \times 10^{17} \text{ cm}^{-3}$) having a thickness of 0.4 μm ,

a Si-doped n-type InP layer 13 (where $n = 4 \times 10^{18} \text{ cm}^{-3}$) having a thickness of $0.4 \mu\text{m}$, and an Fe-doped high-resistance InP layer 12 having a thickness of $1.2 \mu\text{m}$ are selectively epitaxially grown in a recess portion of the mesa stripe by the MOVPE with the SiO_2 stripe-shaped masks being kept unremoved. After the SiO_2 stripe-shaped masks are removed with ammonium fluoride, a Si-doped n-type InP layer 18 (where $n = 1 \times 10^{18} \text{ cm}^{-3}$) having a thickness of $2.5 \mu\text{m}$ is epitaxially grown by the MOVPE on the n-type InP layer 24 having a thickness of $0.1 \mu\text{m}$ and also on the Fe-doped high-resistance InP layer 12 so that the surface of the Si-doped n-type InP layer becomes flat. Then, a Si-doped n-type InGaAsP contact layer 22 (where $n = 1 \times 10^{19} \text{ cm}^{-3}$) having a thickness of $0.5 \mu\text{m}$ is epitaxially grown by the MOVPE.

Lastly, polishing is carried out until the entire thickness is reduced to approximately $120 \mu\text{m}$. Electrodes 10 are formed by vacuum deposition on the p-type semiconductor side and on the n-type semiconductor substrate side. After the electrodes are annealed, the wafer is cleaved and separated into individual semiconductor lasers, and the entire processing is completed. In this manner, the semiconductor laser shown in Fig. 3 is fabricated.

In this regard, the embodiments shown in Figs. 2 and 3 encompass the case that the Fe-doped high-resistance InP layer 12 is in contact with a mesa portion of the p-type InP 16, 20, and 23, and the case that the Ti-doped high-resistance InP layer 15 is in contact with a mesa portion of the n-type InP layers 18 and 24.

FIG. 3

21 P-TYPE InP SUBSTRATE

22 N-TYPE InGaAsP CONTACT LAYER

23 P-TYPE InP LAYER

24 N-TYPE InP LAYER

⑯ 公開特許公報(A) 平3-53582

⑯ Int.Cl.
H 01 S 3/18識別記号 庁内整理番号
7377-5F

⑯ 公開 平成3年(1991)3月7日

審査請求 未請求 請求項の数 2 (全8頁)

⑯ 発明の名称 高抵抗半導体層埋め込み型半導体レーザ

⑯ 特 願 平1-189550

⑯ 出 願 平1(1989)7月21日

⑯ 発 明 者 中 村 隆 宏	東京都港区芝5丁目33番1号	日本電気株式会社内
⑯ 発 明 者 北 村 光 弘	東京都港区芝5丁目33番1号	日本電気株式会社内
⑯ 発 明 者 麻 多 進	東京都港区芝5丁目33番1号	日本電気株式会社内
⑯ 出 願 人 日本電気株式会社	東京都港区芝5丁目7番1号	
⑯ 代 理 人 弁理士 本庄 伸介		

明細書

1. 発明の名称

高抵抗半導体層埋め込み型半導体レーザ

2. 特許請求の範囲

(1) 半導体基板上に、一導電型の第1のクラッド層、活性層、前記第1のクラッド層とは反対導電型の第2のクラッド層を少なくとも含む2重ヘテロ構造半導体レーザであって、前記活性層を含むストライプ状のメサと、このメサの両側に設けられた電流ブロック層を有し、前記電流ブロック層が少なくとも電子を捕獲する深い準位を有する半絶縁性半導体層および正孔を捕獲する深い準位を有する半絶縁性半導体層を含むことを特徴とする高抵抗半導体層埋め込み型半導体レーザ。

(2) 前記電流ブロック層の電子を捕獲する深い準位を有する半絶縁性半導体層はn型半導体層とのみ接し、正孔を捕獲する深い準位を有する半絶縁性半導体層はp型半導体層とのみ接するよう

形成されて成ることを特徴とする請求項1記載の高抵抗半導体層埋め込み型半導体レーザ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は高速変調可能な高抵抗半導体層埋め込み型半導体レーザに関する。

(従来の技術)

高度情報化社会の構築に伴い、光通信システムの大容量化、通信ネットワークの高度化が進められている。光通信システムの大容量化に有力な1つの手段として変調速度の高速化が挙げられる。光源を超高速変調して高速化を図った光通信システムにおいては、高速応答に優れた半導体レーザが要求される。

半導体レーザの活性領域にのみ電流を有効に閉じ込め、屈折率差により光も活性領域に有効に閉じ込めるための埋め込み層として、近年、半導体中の深い準位を利用した高抵抗半導体層を用いる技術が注目され盛んに研究・開発されている。

高抵抗半導体層を埋め込み層に用いた半導体レーザでは、p-n接合電流ブロック層を活性領域への電流挿入に用いていないので、寄生容量が小さく高速変調が可能となる。

高抵抗半導体層を埋め込み層に用いた半導体レーザの従来構造例は、第7図に示すように、半導体基板40上に形成された第1のクラッド層41と第2のクラッド層43で挟まれたストライプ状の活性層42の両側を電子あるいは正孔を捕獲する深い単位を有する高抵抗半導体層44で埋め込み、電流を有効に活性層に注入しようとするものである。図において、45はコンタクト層、46は絶縁膜、47と48は電極を示す。

(発明が解決しようとする課題)

上述した従来の技術では、電流ブロック層において電子あるいは正孔のいずれか一方のみを捕獲する半絶縁性半導体層(SI)が使われているのでp/SI/n構造の部分でダブルインジェクションによるp層からのホール電流が流れ、活性領域以外を流れる漏れ電流となり、しきい値電流の

捕獲する深い単位を有する半絶縁性半導体層はn型半導体層とのみ接し、正孔を捕獲する深い単位を有する半絶縁性半導体層はp型半導体層とのみ接するように形成される。

(作用)

第5図(a)は、p型半導体層、深い電子捕獲単位を有する半絶縁性半導体層、n型半導体層を接触し、順方向バイアス電圧をかけたときのエネルギー-band図である。また、第5図(b)は、p型半導体層、深い正孔捕獲単位を有する半絶縁性半導体層、n型半導体層を接触し、順方向バイアス電圧をかけたときのエネルギー-band図である。

従来の高抵抗半導体層埋め込み型半導体レーザでは、p型クラッド層と高抵抗半導体層とn型クラッド層が直接つながっており、半導体レーザ駆動時には、順方向にバイアス電圧がかけられるので、第5図(a)ないしは(b)に示すエネルギー-band図と等価になる。

このため、深い電子捕獲単位を有する半絶縁性

上界、外部微分量子効率の低下、最大出力の低下という半導体レーザの特性の劣化を招いていた。このため、従来の技術では、高抵抗半導体層を電流ブロック層に用いた高性能な半導体レーザを得ることが困難であった。

本発明の目的は上記従来技術の欠点を改善し、高速変調可能な高抵抗半導体層埋め込み型半導体レーザを提供することにある。

(課題を解決するための手段)

前述の課題を解決するために本発明の高抵抗半導体層埋め込み型半導体レーザは、半導体基板上に、一導電型の第1のクラッド層、活性層、前記第1のクラッド層とは反対導電型の第2のクラッド層を少なくとも含む2重ヘテロ構造半導体レーザであって、前記活性層を含むストライプ状のメサと、このメサの両側に設けられた電流ブロック層を有し、前記電流ブロック層が少なくとも電子を捕獲する深い単位を有する半絶縁性半導体層および正孔を捕獲する深い単位を有する半絶縁性半導体層を含む。また上記電流ブロック層の電子を

半導体層の場合は、p型クラッド層と半絶縁性半導体層の界面付近において電子と正孔が再結合し、再結合電流が流れる。また、深い正孔捕獲単位を有する半絶縁性半導体層の場合は、n型クラッド層と半絶縁性半導体層の界面付近において電子と正孔が再結合し、再結合電流が流れる。

一方、第6図(a)には上述本発明の構成における電流ブロック層のエネルギー-band図が示されている。

n型クラッド層から注入される電子は、深い電子捕獲単位を有する半絶縁性半導体層により捕獲され、p型クラッド層から注入される正孔は深い正孔捕獲単位を有する半絶縁性半導体層により捕獲されるため電子と正孔の再結合が抑制される。

また、第6図(b)には上記電流ブロック層のエネルギー-band図が示されている。

深い電子捕獲単位を有する半絶縁性半導体層がn型半導体層で囲まれているので、半絶縁性半導体層の深い単位に捕獲された電子に正孔が再結合することはない。また、深い正孔捕獲単位を有す

る半絶縁性半導体層はp型半導体で囲まれているので、半絶縁性半導体層の深い準位に捕獲された正孔に電子が再結合することはない。更に、深い電子捕獲準位を有する半絶縁性半導体層と深い正孔捕獲準位を有する半絶縁性半導体層の間に挿入されたn型半導体層とp型半導体層は、広い面積で接しているが、n型半導体層は、n型クラッド層もしくはn型基板と半絶縁性半導体層を挟んでいるため電子がn型半導体層に供給されることはなく、一方、p型半導体層はp型クラッド層またはp型キャップ層と半絶縁性半導体層を挟んでいるので正孔がp型半導体層へ供給されることはなく、このp-n結合において電流が流れることはない。

以上述べたように、本発明による高抵抗層埋め込み型半導体レーザにおいては、漏れ電流が殆どなく活性層において注入電流が有効に光に変換されるため、低しきい値電流、高い外部微分量子効率、高い光出力を期待することができる。

(実施例)

300μm間隔で形成する。その後、化学エッチングによりp型InGaAsPコンタクト層17、p型InP層20、InGaAsP活性層19、n型InP層18をメサストライプの高さが3.5μmになるようにエッティングする。

さらに、SiO₂ストライプ状マスクを残したまま、メサストライプの凹部分に鉄(Fe)ドーピング高抵抗InP層12を厚さ1.5μm、チタン(Ti)ドーピング高抵抗InP層15を厚さ2.0μmをMOVPEにより全体が平坦になるように選択エピタキシャル成長する。SiO₂ストライプ状マスクを沸化アンモニウムにより除去した後、全体の厚さが120μm程度になるまで研磨し、p型半導体層、およびn型半導体基板間の電極10を真空蒸着法により形成し、アニーリングした後、個々の半導体レーザにへき開分離し、全加工を終了し、第1図に示す半導体レーザが出来上がる。

第2図～第4図には、上記した電流ブロックの電子捕獲のための半絶縁性半導体層をn型半導体

次に本発明について図面を参照して説明する。

第1図は本発明の一実施例を示す断面図である。本実施例においては、長波長系材料である焼化インジウム(InP)系材料の例について説明する。

本構造の半導体レーザは次の工程を経て得られる。まず、(100)面の出た研磨(S)ドーピングn型InP基板11上に有機金属気相成長法(MOVPE)を用いて、シリコン(Si)ドーピングn型InP層18 [n = 1 × 10¹⁸ cm⁻³]を厚さ1μm、発光波長1.55μmのバンドギャップを有するインジウム・ガリウム・ヒ素・焼(InGaAsP)活性層19を厚さ0.15μm、亞鉛(Zn)ドーピングp型InP層20 [p = 1 × 10¹⁸ cm⁻³]を厚さ1.5μm、Znドーピングp型InGaAsPコンタクト層17 [p = 1 × 10¹⁹ cm⁻³]を厚さ0.5μm、それぞれ連続的にエピタキシャル成長する。

次に、CVD技術およびフォトリソグラフィーの手法により、<011>方向に厚み約2000Å、幅2μmのSiO₂ストライプ状マスクを

層とのみ接し、正孔捕獲のための半絶縁性半導体層をp型半導体層とのみ接するように構成された実施例の断面図が示されている。

第2図に示す半導体レーザは次のようにして得られる。即ち、(100)面の出たSドーピングn型InP基板11上にMOVPEを用いて、Siドーピングn型InP層18 [n = 1 × 10¹⁸ cm⁻³]を厚さ1μm、発光波長1.55μmのバンドギャップを有するInGaAsP活性層19を厚さ0.15μm、Znドーピングp型InP層20 [p = 1 × 10¹⁸ cm⁻³]を厚さ0.1μm、それぞれ連続的にエピタキシャル成長する。

次に、CVD技術およびフォトリソグラフィーの手法により、<011>方向に厚み約2000Å、幅2μmのSiO₂ストライプ状マスクを300μm間隔で形成する。その後、化学エッチングにより厚み0.1μmのp型InP層20、InGaAsP活性層19、n型InP層18をメサストライプの高さが1.5μmになるように

エッティングする。

さらに、 SiO_2 ストライプ状マスクを残したまま、メサストライプの凹部分にFeドーピング高抵抗InP層12を厚さ $1.5\text{ }\mu\text{m}$ 、Siドーピングn型InP層13 [$n = 4 \times 10^{18}\text{ cm}^{-3}$] を厚さ $0.4\text{ }\mu\text{m}$ 、Znドーピングp型InP層14 [$p = 7 \times 10^{17}\text{ cm}^{-3}$] を厚さ $0.4\text{ }\mu\text{m}$ 、Tiドーピング高抵抗InP層15を厚さ $1.2\text{ }\mu\text{m}$ MOVPEにより選択エピタキシャル成長する。 SiO_2 ストライプ状マスクを沸化アンモニウムにより除去した後、厚さ $0.1\text{ }\mu\text{m}$ のp型InP層20上、およびTiドーピング高抵抗InP層15上に厚さ $2.5\text{ }\mu\text{m}$ のZnドーピングp型InP層16 [$p = 7 \times 10^{17}\text{ cm}^{-3}$] を表面が平坦になるようにMOVPEによりエピタキシャル成長し、続いて、Znドーピングp型InGaAsPコンタクト層17 [$p = 1 \times 10^{19}\text{ cm}^{-3}$] を厚さ $0.5\text{ }\mu\text{m}$ MOVPEによりエピタキシャル成長する。

最後に全体の厚さが $120\text{ }\mu\text{m}$ 程度になるまで

研磨し、p型半導体側およびn型半導体基板側の電極10を真空蒸着法により形成し、アニーリングした後、個々の半導体レーザにへき開分離し、全加工を終了し、第2図に示す半導体レーザが出来上がる。

次に第3図に示す半導体レーザは次のように得られる。まず、(100)面の出たZnドーピングp型InP基板21上にMOVPEを用いて、Znドーピングp型InP層23 [$p = 1 \times 10^{19}\text{ cm}^{-3}$] を厚さ $1\text{ }\mu\text{m}$ 、発光波長 $1.55\text{ }\mu\text{m}$ のバンドギャップを有するInGaAsP活性層19を厚さ $0.15\text{ }\mu\text{m}$ 、Siドーピングn型InP層24 [$n = 1 \times 10^{18}\text{ cm}^{-3}$] を厚さ $0.1\text{ }\mu\text{m}$ 、それぞれ連続的にエピタキシャル成長する。

次に、CVD技術およびフォトリソグラフィーの手法により、<011>方向に厚み約 $2000\text{ }\text{\AA}$ 、幅 $2\text{ }\mu\text{m}$ の SiO_2 ストライプ状マスクを $3.0\text{ }\mu\text{m}$ 間隔で形成する。その後、化学エッティングにより厚み $0.1\text{ }\mu\text{m}$ のn型InP層24、

InGaAsP活性層19、p型InP層23をメサストライプの高さが $1.5\text{ }\mu\text{m}$ になるようにエッティングする。

さらに、 SiO_2 ストライプ状マスクを残したまま、メサストライプの凹部分にTiドーピング高抵抗InP層15を厚さ $1.5\text{ }\mu\text{m}$ 、Znドーピングp型InP層14 [$p = 7 \times 10^{17}\text{ cm}^{-3}$] を厚さ $0.4\text{ }\mu\text{m}$ 、Siドーピングn型InP層13 [$n = 4 \times 10^{18}\text{ cm}^{-3}$] を厚さ $0.4\text{ }\mu\text{m}$ 、Feドーピング高抵抗InP層12を厚さ $1.2\text{ }\mu\text{m}$ 、MOVPEにより選択エピタキシャル成長する。 SiO_2 ストライプ状マスクを沸化アンモニウムにより除去した後、厚さ $0.1\text{ }\mu\text{m}$ のn型InP層24上、およびFeドーピング高抵抗InP層12上に厚さ $2.5\text{ }\mu\text{m}$ のSiドーピングn型InP層18 [$n = 1 \times 10^{18}\text{ cm}^{-3}$] を表面が平坦になるようにMOVPEによりエピタキシャル成長し、続いて、Siドーピングn型InGaAsPコンタクト層22 [$n = 1 \times 10^{19}\text{ cm}^{-3}$] を厚さ $0.5\text{ }\mu\text{m}$ 、MOVPEに

よりエピタキシャル成長する。

最後に全体の厚さが $120\text{ }\mu\text{m}$ 程度になるまで研磨し、p型半導体側、およびn型半導体基板側の電極10を真空蒸着法により形成し、アニーリングした後、個々の半導体レーザにへき開分離し、全加工を終了し、第3図に示す半導体レーザが出来上がる。

なお、第2図と第3図に示す実施例において、Feドーピング高抵抗InP層12とp型InP16、20、23のメサの部分が接している場合およびTiドーピング高抵抗InP層15とn型InP層18、24のメサ部分が接している場合も含まれる。

次に第4図に示す半導体レーザを得るための工程を説明する。まず、(100)面の出たSドーピングn型InP基板11上にMOVPEを用いて、Siドーピングn型InP層18 [$n = 1 \times 10^{18}\text{ cm}^{-3}$] を厚さ $1\text{ }\mu\text{m}$ 、発光波長 $1.55\text{ }\mu\text{m}$ のバンドギャップを有するInGaAsP活性層19を厚さ $0.15\text{ }\mu\text{m}$ 、Znドーピング

p型InP層20 [$p = 1 \times 10^{18} \text{ cm}^{-3}$] を厚さ $1.5 \mu\text{m}$ 、Znドーピング[p型InGaAsPコンタクト層17 [$p = 1 \times 10^{18} \text{ cm}^{-3}$]]を厚さ $0.5 \mu\text{m}$ 、それぞれ連続的にエピタキシャル成長する。

次に、CVD技術およびフォトリソグラフィーの手法により $<011>$ 方向に厚み約 2000 \AA 、幅 $2 \mu\text{m}$ のSiO₂ストライプ状マスクを $300 \mu\text{m}$ 間隔で形成する。その後、化学エッチャリングによりp型InGaAsPコンタクト層17、p型InP層20、InGaAsP活性層19、n型InP層18をメアストライプの高さが $3.5 \mu\text{m}$ になるようにエッチャリングする。

さらに、SiO₂ストライプ状マスクを残したまま、メアストライプの凹部分に鉄(Fe)ドーピング高抵抗InP層12を厚さ $1.5 \mu\text{m}$ 、Siドーピングn型InP層13 [$n = 4 \times 10^{18} \text{ cm}^{-3}$]を厚さ $0.4 \mu\text{m}$ 、Znドーピングp型InP層14 [$p = 7 \times 10^{17} \text{ cm}^{-3}$]を厚さ $0.4 \mu\text{m}$ 、チタン(Ti)ドーピング高抵抗

5 pFで、数ギガビット毎秒(Gb/sec)クラスの光通信システム用光源として実用的に十分使用できる。

なお、上述の実施例においては、基板を半絶縁性半導体にしても実現可能であり、また、材料系をGaAs系にしても実現可能であり、DFB(Distributed Feed Back)にしても実現可能であり、活性領域を量子井戸構造にしても実現可能である。

(発明の効果)

以上詳細に説明したように、本発明は、電子および正孔を別々に半絶縁性半導体層の深い単位にトラップしているので低しきい値電流、高い外部微分量子効率、超高速変調特性を有する高抵抗半導体層埋め込み型半導体レーザを実現できる効果がある。

更に、本発明では、深い電子トラップ単位を有する半絶縁性半導体層はn型半導体層で囲み、深い正孔トラップ単位を有する半絶縁性半導体層はp型半導体層で囲んでいるので漏れ電流を防ぎ、

抗InP層15を厚さ $1.2 \mu\text{m}$ をMOVPEにより全体が平坦になるよう選択エピタキシャル成長する。SiO₂ストライプ状マスクを非化アンモニウムにより除去した後、全体の厚さが $120 \mu\text{m}$ 程度になるまで研磨し、p型半導体側、およびn型半導体基板側の電極10を真空蒸着により形成し、アニーリングした後、個々の半導体レーザにへき開分離し、全加工を終了し、第4図に示す半導体レーザが出来上がる。

以上に説明した高低抗半導体層埋め込み型半導体レーザをInP系長波長半導体レーザに適用すれば、活性層以外を流れる無効電流が殆ど無く、p-n接合をブロック層に用いたVSB型(V-Grooved Substrate Buried Heterostructure Lasers)やDC-PBH型(Double Channel Planar Buried Heterostructure Lasers)と同程度の 10 mA 前後のしきい値電流、および 30% 前後の片面外部微分量子効率が得られる。

更に、厚さ $2 \sim 3 \mu\text{m}$ の高抵抗半導体層を電流ブロック層に用いているゆえ、寄生容量は、4～

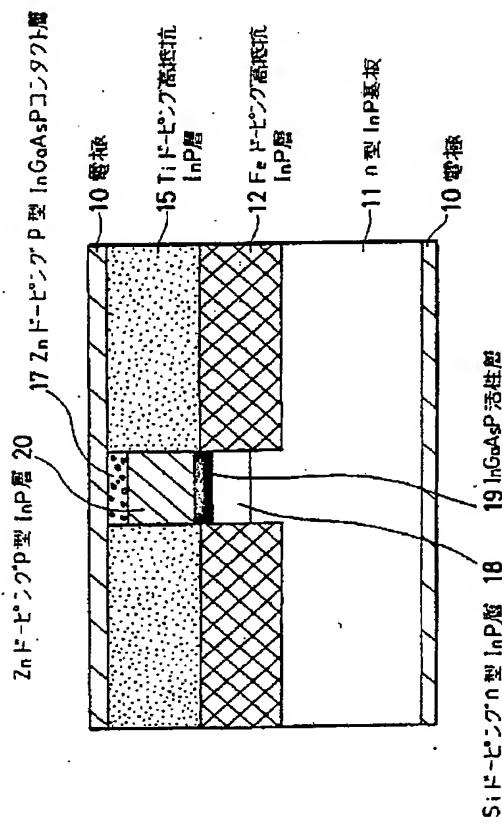
低しきい値電流、高い外部微分量子効率、超高速変調特性を実現できる効果がある。

4. 図面の簡単な説明

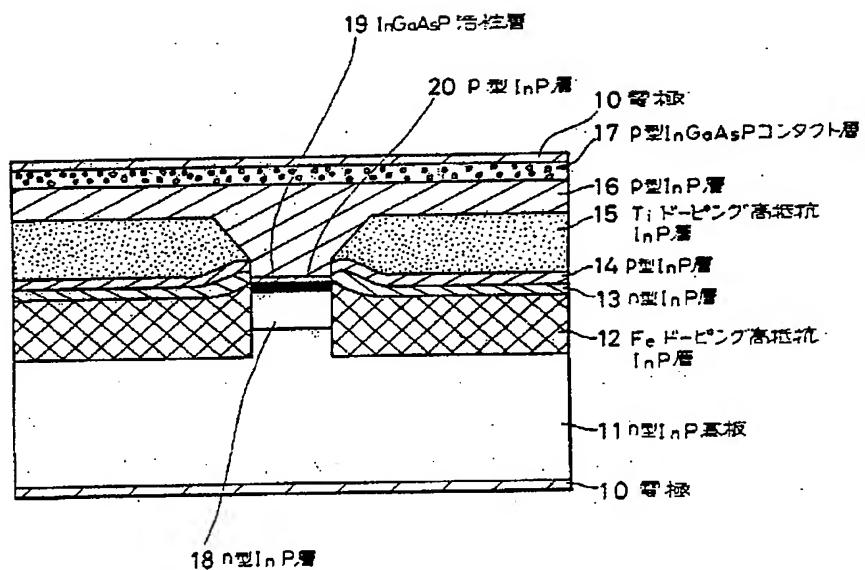
第1図は本発明による高抵抗半導体埋め込み型半導体レーザの一実施例の構造を示す断面図、第2図～第4図は本発明による高抵抗半導体層埋め込み型半導体レーザの他の実施例の構造を示す断面図、第5図(a)はn型半導体層、深い電子トラップ単位を有する半絶縁性半導体層、p型半導体層が接し、これに順バイアスがかけられたときのバンド構造を示す図、第5図(b)はn型半導体層、深い正孔トラップ単位を有する半絶縁性半導体層、p型半導体層が接し、これに順バイアスがかけられたときのバンド構造を示す図、第6図(a)はn型半導体層、深い電子トラップ単位を有する半絶縁性半導体層、深い正孔トラップ単位を有する半絶縁性半導体層、p型半導体層が接したときのバンド構造を示す図、第6図(b)はn型半導体層、深い電子トラップ単位を有する半絶

緑性半導体層、n型半導体層、p型半導体層、深い正孔トラップ単位を有する半絶縁性半導体層、p型半導体層が接したときのバンド構造を示す図、第7図は従来の高抵抗電流プロック層を有する半導体レーザの構造を示す断面図である。

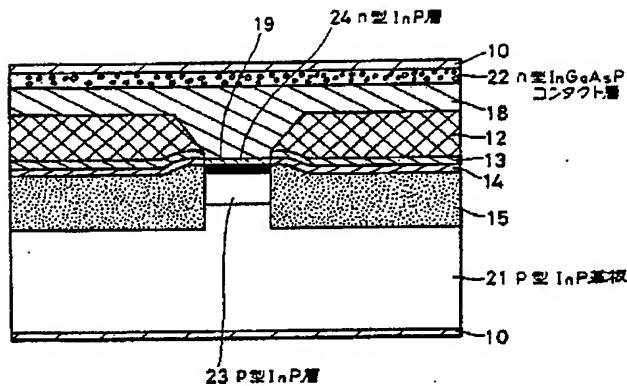
10…電極、11…n型InP基板、12…Feドーピング高抵抗InP層、13…n型InP層、14…p型InP層、15…T1ドーピング高抵抗InP、16…p型InP層、17…p型InGaAsPコンタクト層、18…n型InP層、19…InGaAsP活性層、20…p型InP層、21…p型InP基板、22…n型InGaAsPコンタクト層、23…p型InP層、24…n型InP層、40…半導体基板、41…第1のクラッド層、42…活性層、43…第2のクラッド層、44…高抵抗半導体層、45…コンタクト層、46…絶縁膜、47…電極、48…電極。



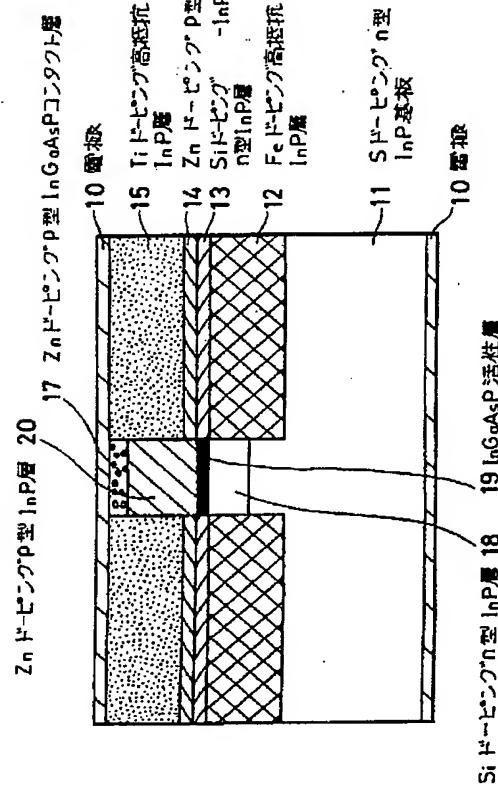
四一



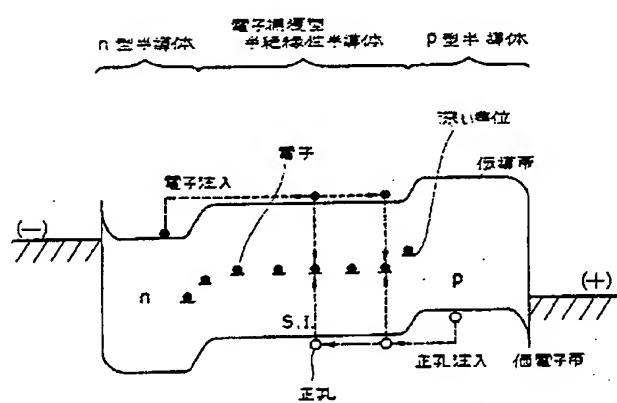
第2図



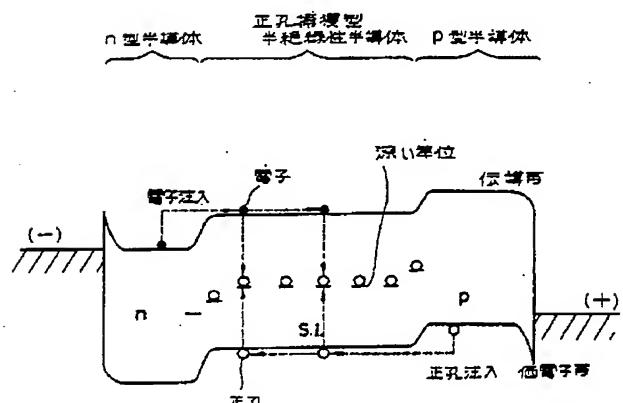
第3図



第4図

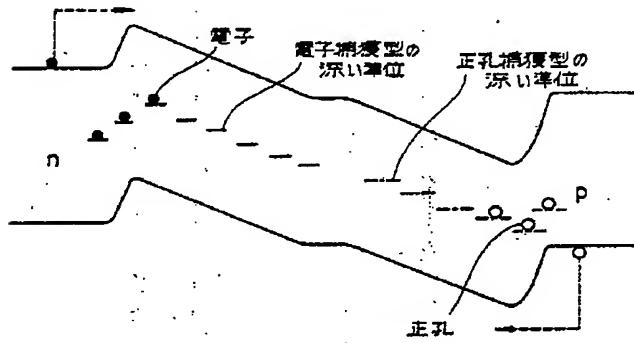


第5図 (a)



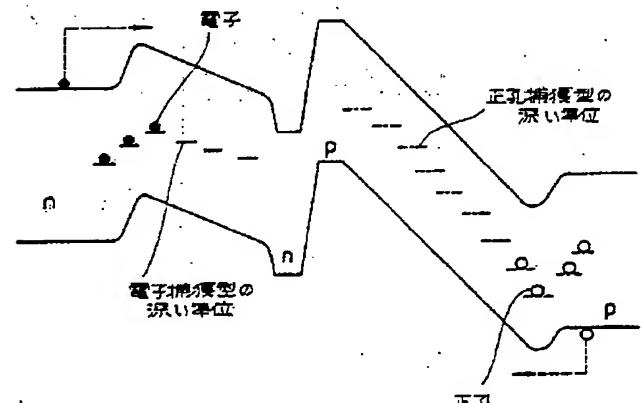
第5図 (b)

n型半導体 電子捕獲型
半絶縁性半導体 正孔捕獲型
半絶縁性半導体 P型半導体

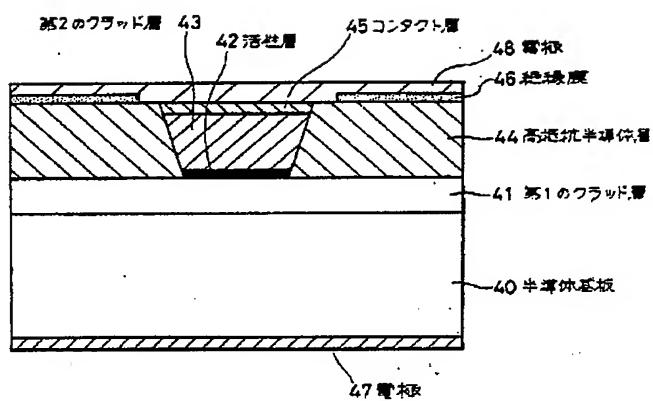


第6図 (a)

n型半導体 電子捕獲型 n型 P型 正孔捕獲型
半絶縁性半導体 半導体 半導体 半絶縁性半導体 P型半導体



第6図 (b)



第7図